

## Patent Abstracts of Japan

PUBLICATION NUMBER : 55156336  
PUBLICATION DATE : 05-12-80

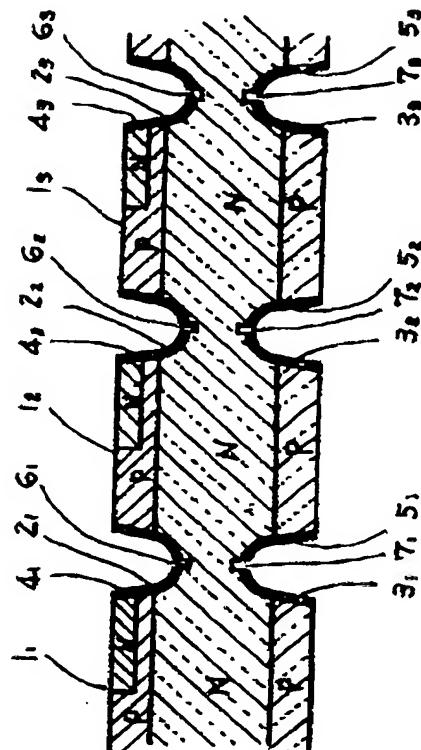
APPLICATION DATE : 03-04-80  
APPLICATION NUMBER : 55044966

APPLICANT : NEC HOME ELECTRONICS LTD.

INVENTOR : KUMANO SHOJI

INT.CL. : H01I 21/78

**TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE**



**ABSTRACT :** PURPOSE: To prevent the occurrence of cracks on the glass film by providing notches on the glass film when forming a plurality of elements in the semiconductor wafer, providing mesa grooves at the boundaries between these elements, filling up these grooves with glass passivation films and then separating the wafer into individual elements mechanically at these mesa grooves.

**CONSTITUTION:** From both surface and rear sides of an N-type Si wafer, P-type impurities are diffused thereinto to form P-type regions and a plurality of N-type regions are provided in one of these P-type regions at surface side. Next, mesa grooves 2<sub>1</sub>~2<sub>3</sub> abutting on the N-type regions, passing through the P-type region and extending into the N-type wafer itself by etching are formed, so that the P-type region at surface side is divided into 1<sub>1</sub>~1<sub>3</sub>. Thereafter, mesa grooves 3<sub>1</sub>~3<sub>3</sub> are provided on its rear side at the positions confronting the mesa grooves 2<sub>1</sub>~2<sub>3</sub> so as to form a thyristor element of NPNP-structure in each element region. These mesa grooves at both surface and rear sides are coated with glass passivation films 4<sub>1</sub>~4<sub>3</sub> and 5<sub>1</sub>~5<sub>3</sub>, respectively. And when separating thus processed substrate into individual elements by use of rubber rollers, notches 6<sub>1</sub>~6<sub>3</sub> and 7<sub>1</sub>~7<sub>3</sub> are previously formed on the glass passivation films at the bottom portions of the mesa grooves, respectively.

COPYRIGHT: (C)1980,JPO&Japio

⑨ 日本国特許庁 (JP)

① 特許出願公開

⑩ 公開特許公報 (A)

昭55-156336

⑪ Int. Cl.<sup>3</sup>  
H 01 L 21/78

識別記号

厅内整理番号  
7131-5F

⑫ 公開 昭和55年(1980)12月5日

発明の数 1  
審査請求 未請求

(全 2 頁)

⑬ 半導体装置の製造方法

⑭ 特 願 昭55-44966

⑮ 出 願 昭50(1975)5月27日

(前実用新案出願日援用)

⑯ 発明者 市川哲雄

大阪市北区梅田1丁目8番17号  
新日本電気株式会社内

⑯ 発明者 大内山健

大阪市北区梅田1丁目8番17号  
新日本電気株式会社内

⑰ 発明者 高田幹雄

大阪市北区梅田1丁目8番17号  
新日本電気株式会社内

⑰ 発明者 松村保男

大阪市北区梅田1丁目8番17号  
新日本電気株式会社内

⑰ 発明者 熊野省治

大阪市北区梅田1丁目8番17号  
新日本電気株式会社内

⑰ 出願人 新日本電気株式会社

大阪市北区梅田1丁目8番17号

明細書

発明の名称

半導体装置の製造方法

特許請求の範囲

半導体ウエーハに複数個の半導体粒子を形成する工場と、各半導体粒子の隣接する界面に、その表面両面よりエフチングしてメサ構造を形成する工場と、各メサ構造にガラス保護膜を形成する工場と、表面両面の各メサ構造のガラス保護膜に切込みを設ける工場と、この半導体ウエーハを機械的に分割する工場とを含む半導体装置の製造方法。

発明の詳細な説明

本発明は半導体ウエーハに形成された複数個の半導体粒子を、特性に悪影響を及ぼさないよう分割できるようにした半導体装置の製造方法に関するものである。

一般に、半導体粒子は、一枚の半導体ウエーハ

に、異なる導電性の不純物を順次挿入して、製成個の半導体粒子を形成し、各半導体粒子の隣接する表面両面の界面に、ダイヤモンドカッタはレーザ光で切込みを設け、半導体ウエーハをムローラを当てるにより、上記切込みより個々に分割して得ている。

而して、ある種の半導体粒子、例えばシリコン半導体粒子においては、切込みを設ける前に、各半導体粒子の隣接する界面に、その表面両面よりエフチングしてメサ構造を形成するとともに、これら各メサ構造にガラス保護膜を形成し、しかも後述の各メサ構造のガラス保護膜に半導体ウエーハをも切込む切込みを設けるようしているが、このような半導体ウエーハを、ムローラを通して個々のシリコン半導体粒子に分割する際にはしばしば底面側のガラス保護膜に亀裂が生じて、ガラス保護膜が剥離し、メサ構造が露出して特性が劣化するといったことがあつた。

本発明は、上記点を改良するために施されたもので、ガラス保護膜への切込みを、設置面内の

→ 動作發展するための時間

以下、本発明の一実施例を図面により説明する。  
 と、図において、1, 1a, 1b, 1c は三層シリコンウェーハの表面側より電絶縁層を形成した被覆層、図の上より電絶縁層を形成して形成したN-FET型の4層よりなるサイリスタ素子、2, 2a, 2b は各サイリスタ素子の開端する界面に、エンシングすることにより形成した表面側のメタリ、3, 3a, 3b は上記メタリ、2, 2a, 2b と同様に形成し、且つ上記メタリ2, 2a, 2b と天衣対応させて形成した四層メタリ、4, 4a, 4b, 4c, 4d, 4e, 4f は裏面側の各メタリ層上に形成したガラス保護膜、5, 5a, 5b, 5c, 5d, 5e, 5f は裏面側の各メタリ表面に、ダイヤモンドカッタ又はレーザ光により、ガラス保護膜をも切込んで設けた刃込みである。尚、これら刃込みは、対応する表面メタリと、対応するよう刃込み方をよひ、又裏面側の刃込みを必ずしも牛体ウェーハまで達していないともよい。

牛兒明は以上のような構成よりなる牛連体ウェーブを、スマート等を過すことにより、突然的

- 3 -

井関55-150386(2)  
に個々に分割する構造、分割部が交差する所の切り込みより開始され、ガラス張西壁等に断面的ガラス保護壁に異音が生じるのを防止することができ、ガラス保護壁の建設にコストを削減上の不利益が一掃される。

四國の地図と歴史

因は本実験に係る半導体基盤の製造方法に供する半導体ウエーハーの一実施例の断面図である。

$1_1, 2_1, 3_1, \dots$  物理学家

$x_1, x_2, x_3, x_4, x_5, x_6, x_7$

612-622 42-81-51-8

6. 6. 6. 3. 3.

新月文庫編集會

100

